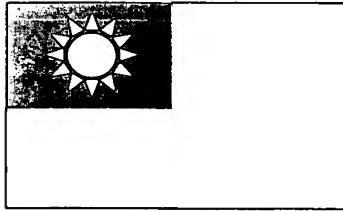


HSIAO et al
February 18, 2004

4392-0159
1061



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：(西元 2003 年 06 月 24 日)
Application Date

申 請 案 號：092117091
Application No.

申 請 人：南亞科技股份有限公司
Applicant(s)

局 長

Director General

蕭 建 生

發文日期：西元 2003 年 8 月 28 日
Issue Date

發文字號：09220865450
Serial No.

申請日期：92.6.24

IPC分類

申請案號：92117091

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多位元堆疊式非揮發記憶體及其製造方法
	英文	Multi-Bit Stacked Non-Volatile Memory and Manufacturing Method Thereof
二、 發明人 (共3人)	姓名 (中文)	1. 蕭清南 2. 林其輝 3. 莊英政
	姓名 (英文)	1. HSIAO, Ching-Nan 2. LIN, Chi-Hui 3. CHUANG, Ying-Cheng
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 高雄縣燕巢鄉橫山村橫山路五十二號 2. 埔里鎮開南三巷三十三號 3. 桃園縣八德市大安里和平路五四〇巷五號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路六六九號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C.
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang LIEN	



四、中文發明摘要 (發明名稱：多位元堆疊式非揮發記憶體及其製造方法)

本發明揭露一種具有間隙壁浮動閘的多位元堆疊式非揮發記憶體及其製造方法。製造方法包含步驟形成一圖案化含砷介電層於半導體基材上，其中圖案化含砷介電層定義一開口為主動區域。形成介電間隙壁於圖案化含砷介電層之側壁，以及閘極介電層於半導體基材之表面。利用熱驅動法使圖案化含砷介電層之砷原子擴散至半導體基材內而形成源極/汲極區域。形成間隙壁浮動閘於介電間隙壁之側壁及閘極介電層上。形成內介電層包覆間隙壁浮動閘。形成控制閘層位於內介電層上，並填滿主動區域之開口。

五、(一)、本案代表圖為：圖1B

(二)、本案代表圖之元件代表符號簡單說明：

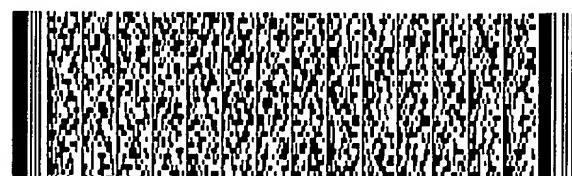
1 多位元堆疊式非揮發記憶體

2 半導體基材

42 含砷介電島

六、英文發明摘要 (發明名稱：Multi-Bit Stacked Non-Volatile Memory and Manufacturing Method Thereof)

The present invention discloses a multi-bit stacked non-volatile memory having a spacer-shaped floating gate and a manufacturing method thereof. The manufacturing method includes forming a patterned dielectric layer containing arsenic on a semiconductor substrate, wherein the patterned dielectric layer defines an opening as an active area. A dielectric spacer is formed on a side



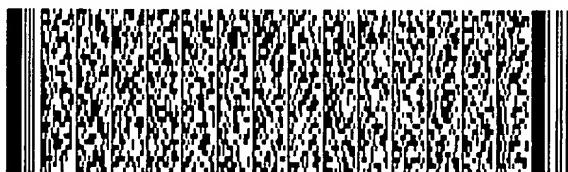
四、中文發明摘要 (發明名稱：多位元堆疊式非揮發記憶體及其製造方法)

6 源極 / 汲極區域
10 閘極介電層
14 內介電層

8 介電間隙壁
12 間隙壁浮動閘
16 控制閘層

六、英文發明摘要 (發明名稱：Multi-Bit Stacked Non-Volatile Memory and Manufacturing Method Thereof)

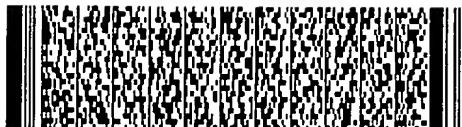
wall of the patterned dielectric layer and a gate dielectric layer is formed on the semiconductor substrate. A source/drain region is formed by thermal driving method making arsenic diffusion from the patterned dielectric layer into the semiconductor substrate. A spacer-shaped floating gate is formed on the side wall of the dielectric spacer and the gate dielectric layer. An



四、中文發明摘要 (發明名稱：多位元堆疊式非揮發記憶體及其製造方法)

六、英文發明摘要 (發明名稱：Multi-Bit Stacked Non-Volatile Memory and Manufacturing Method Thereof)

interlayer dielectric layer is formed on the spacer-shaped floating gate. A control gate layer is formed on the interlayer dielectric layer and fills the opening of the active area.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

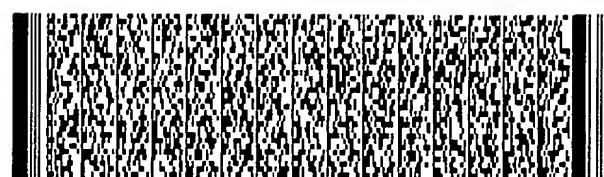
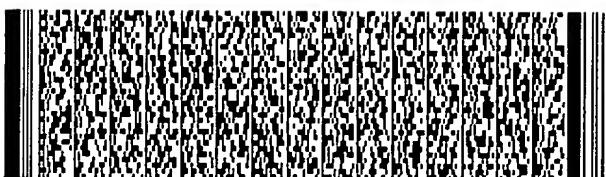
一、【發明所屬之技術領域】

本發明係關於一種非揮發記憶體及其製造方法，特別是有關於一種多位元堆疊式非揮發記憶體及其製造方法。

二、【先前技術】

傳統的記憶體元件可分為隨機存取記憶體(Random Access Memory, RAM)和唯讀記憶體(Read Only Memory, ROM)兩種。隨機存取記憶體所儲存的資料在停止供應電源後即消失，又稱為揮發記憶體。唯讀記憶體所儲存之資料在停止供應電源後仍能保存，又稱為非揮發記憶體。隨著各種消費性資訊電子產品的發展，唯讀記憶體更發展出可程式化唯讀記憶體(PROM)、可抹除程式化唯讀記憶體(EPROM)、電子式可抹除程式化唯讀記憶體(EEPROM)以及快閃記憶體(Flash Memory)。快閃記憶體由於可直接用電流更改資料，且具有體積小、容量大、讀寫快速、省電、耐震及防潮等優點，非常適合可攜式商品。故快閃記憶體的需求，隨著數位相機、手機及MP3等相關產品的不斷普及而逐年提昇。

一般的快閃記憶體之主要結構為一堆疊式閘極結構，其中閘極結構包含一浮動閘(Floating Gate)及一控制閘(Control Gate)。由絕緣層所包圍的浮動閘位於控制閘及矽基材之間，並且不與其他字元線(word line)、位元線(bit line)或其他導線相連。快閃記憶體之資料寫入過



五、發明說明 (2)

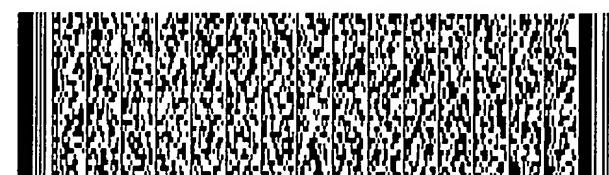
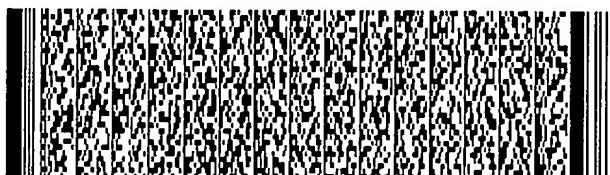
程係藉由施加一較汲極電壓為高之電壓於控制閘，此時汲極附近通道中所產生之熱電子(hot electron)經由在通道中的加速而進入浮動閘。最後，進入浮動閘之熱電子被困在浮動閘中而完成資料寫入之動作。

然而，隨著可攜式電子產品之體積不斷縮小，而對容量的需求則越來越大。因此，同時兼顧元件可靠度並且增加記憶體元件之密集度便成為相當重要的改進目標。數種多位元之非揮發記憶體結構相繼被提出，例如：使用氮化層(nitride layer)做為資料儲存節點之矽氧氮矽結構(SONOS structure)。在高密集度的多位元非揮發記憶體中，使用矽氧氮矽結構容易發生儲存電荷互相干擾(disturbance)而導致密集度受限。另外，由於氮化層本身的特性會造成資料保持性(data retention)不佳，使用氮化層做為儲存電荷層時，導致記憶體的長期穩定性之可靠度降低。

因此，提供一種具有長期穩定性、高密集度的多位元堆疊式非揮發記憶體結構，並且能利用自行對準減少光罩使用之方法製造實有其需要。

三、【發明內容】

本發明之一方面在於提供一種包含間隙壁浮動閘之堆疊式非揮發記憶體結構及其製造方法，以縮小元件面積以



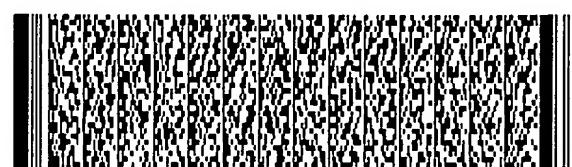
五、發明說明 (3)

增加元件密集度和記憶體容量。

本發明之另一方面在於提供一種沒有儲存電荷互相干擾現象且擁有長期穩定性之多位元堆疊式非揮發記憶體結構及其製造方法。

本發明之又一方面在於提供一種使用二次微影製程，利用自行對準形成間隙壁浮動閘之多位元堆疊式非揮發記憶體結構，以降低製程之複雜度並提高元件之可靠度。

於一實施例，本發明之多位元堆疊式非揮發記憶體結構包含一半導體基材、兩個含砷介電島(dielectric island containing arsenic)、兩個源極/汲極區域、兩個介電間隙壁(dielectric spacer)、一閘極介電層(gate dielectric layer)、兩個間隙壁浮動閘(spacer-shaped floating gate)、一內介電層(interlayer dielectric layer)以及一控制閘層(control gate layer)。兩個含砷介電島係形成於半導體基材之上，且兩個含砷介電島之間定義一主動區域。兩個介電間隙壁係形成於兩個含砷介電島之側壁及主動區域之半導體基材上，且閘極介電層係形成於主動區域之半導體基材上。兩個源極/汲極區域係使用熱驅動法使兩個含砷介電島內之砷原子擴散至半導體基材中而形成，且兩個介電間隙壁可以防止砷原子擴散到閘極介電層或其它區域。兩個間隙壁浮動閘係形成於兩個介



五、發明說明 (4)

電間隙壁之側壁及閘極介電層之上。內介電層係至少覆蓋兩個間隙壁浮動閘。控制閘層係形成於內介電層之上並填塞主動區域。

於另一實施例，本發明提供一種製造多位元堆疊式非揮發記憶體的方法。此方法包含於半導體基材上產生一圖案化含矽介電層。圖案化含矽介電層定義一第一開口為主動區域並曝露出半導體基材之一部份表面與圖案化含矽介電層之側壁。形成介電間隙壁於圖案化含矽介電層之側壁。形成一閘極介電層於半導體基材曝露之部份表面。利用熱驅動法使圖案化含矽介電層中之矽原子擴散至半導體基材中，以形成源極/汲極區域。形成一間隙壁浮動閘於介電間隙壁之側壁上，並且間隙壁浮動閘位於閘極介電層之上。形成一內介電層覆蓋圖案化含矽介電層、間隙壁浮動閘以及閘極介電層。形成一控制閘層於內介電層上並填滿第一開口。

四、【實施方式】

本發明提供了一種具有間隙壁浮動閘之多位元堆疊式非揮發記憶體結構及其製造方法。圖1A為本發明第一具體實施例的多位元堆疊式非揮發記憶體結構之俯視圖。圖1B則為沿圖1A線3-3之橫截面圖。

參考圖1A及圖1B，本發明之多位元堆疊式非揮發記憶



五、發明說明 (5)

體1包含一半導體基材2、兩個含砷介電島42、兩個源極/汲極區域6、兩個介電間隙壁8、一閘極介電層10、兩個間隙壁浮動閘12、一內介電層14以及一控制閘層16。半導體基材2包含矽基材。含砷介電島42之材料包含砷矽酸玻璃(Arsenosilicate Glass, ASG)。兩個含砷介電島42係形成於半導體基材2之上，且兩個含砷介電島42間定義一主動區域18。兩個介電間隙壁8係形成於兩個含砷介電島42之側壁及主動區域18之半導體基材2上，且閘極介電層10係形成於主動區域18之半導體基材2上。常用之介電間隙壁8之材料可為氮化矽(silicon nitride)。常用之閘極介電層10之材料可為二氧化矽(silicon oxide)。兩個源極/汲極區域6係使用熱驅動法使兩個含砷介電島42內之砷原子擴散至半導體基材2中而形成，且兩個介電間隙壁8可以防止砷原子擴散到閘極介電層10或其它區域。兩個間隙壁浮動閘12係形成於兩個介電間隙壁8之側壁及閘極介電層10之上。常用之間隙壁浮動閘12之材料可為多晶矽(polysilicon)。內介電層14係至少覆蓋兩個間隙壁浮動閘12。常用之內介電層14之材料可為二氧化矽。控制閘層16係形成於內介電層14之上並填塞主動區域18。常用之控制閘層16之材料可為多晶矽。

多位元堆疊式非揮發記憶體1之資料寫入之動作係施加電壓於控制閘層16及源極/汲極區域6，使產生之熱電子進入且被困於浮動閘而完成。讀取資料時，浮動閘中若含

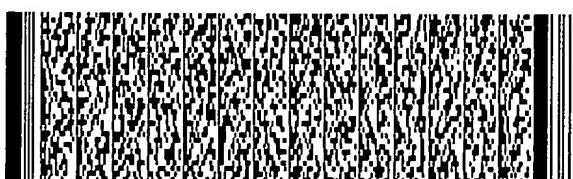


五、發明說明 (6)

有熱電子，則因會產生啟始電壓(threshold voltage)效應，會被讀取為零，反之則讀取為壹。

於另一實施例，本發明提供一種製造多位元堆疊式非揮發記憶體的方法。此方法利用兩次微影製程形成具有間隙壁浮動閘之多位元堆疊式非揮發記憶體1。參考圖2A，首先於半導體基材2上產生一含矽介電層21。半導體基材2包含矽基材。含矽介電層21之材料包含矽矽酸玻璃。產生含矽介電層21之步驟可由任何習知之方法，例如化學氣相沈積法。接下來進行第一次微影製程，於含矽介電層21上產生一圖案化光阻層22，其中圖案化光阻層22定義出一第一開口24，即元件之主動區域。以圖案化光阻層22為罩幕，蝕刻含矽介電層21以產生第一開口24。蝕刻完成後即移除圖案化光阻層22，參考圖2B。此蝕刻之步驟係形成圖案化含矽介電層4及第一開口24。第一開口24曝露出半導體基材2之一部份表面28與圖案化含矽介電層4之一側壁26。

參考圖3A，利用已知之方法，如化學氣相沈積法，形成一共形介電層32覆蓋半導體基材2及圖案化含矽介電層4。共形介電層32係可使用任何已知之介電材料，如氮化矽。非等向性蝕刻共形介電層32，以形成介電間隙壁8於圖案化含矽介電層4之側壁26。參考圖4，使用已知之方法，如熱氧化法或沈積法，形成一閘極介電層10於半導體



五、發明說明 (7)

基材2曝露之表面28；閘極介電層10之材料如二氧化矽。使用熱驅動法使圖案化含砷介電層4中之砷原子擴散至半導體基材2中以形成源極/汲極區域6。在使用熱驅動法形成源極/汲極區域6的步驟中，介電間隙壁8可以防止在擴散的過程中，砷原子擴散到閘極介電層10或其它區域。

參考圖5A，利用已知之方法，如化學氣相沈積法，形成一共形多晶矽層52覆蓋閘極介電層10、介電間隙壁8及圖案化含砷介電層4。參考圖5B，非等向性蝕刻共形多晶矽層52以形成一間隙壁浮動閘12於介電間隙壁8之側壁上，並且此間隙壁浮動閘12位於閘極介電層10之上。間隙壁浮動閘12形成之步驟具有自行對準之特性，可避免因微影製程所產生的對準失誤。另外，由於擁有各自獨立的間隙壁浮動閘12做為電荷儲存區域，可避免在元件尺寸縮小、密集度加大時產生儲存電荷互相干擾的問題。

形成內介電層14於間隙壁浮動閘12之上用來隔離間隙壁浮動閘12及控制閘層16，以避免間隙壁浮動閘12及控制閘層16產生短路。形成內介電層14之方法包含使用熱氧化法、沈積法、氧化法及沈積法合併使用或其它習知可以達成隔離功能之方法。參考圖6A，氧化間隙壁浮動閘12之一部份表面，以形成一覆蓋間隙壁浮動閘12之氧化層62。參考圖6B，以沈積法形成一內介電層14覆蓋圖案化含砷介電層4、間隙壁浮動閘12以及閘極介電層10。常用之內介電層

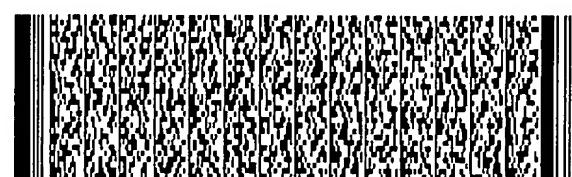


五、發明說明 (8)

14 材料可為二氧化矽。

參考圖7，使用已知之方法，如化學氣相沈積法，形成一多晶矽層64 覆蓋內介電層10 並填滿第一開口24。接下來進行第二次的微影製程，先形成一圖案化光阻層66 覆蓋多晶矽層64，且此圖案化光阻層66 定義了複數條字元線。接下來以圖案化光阻層66 為罩幕，蝕刻多晶矽層64 以形成控制閘層16。最後去除圖案化光阻層66 即形成本發明具體實施例之多位元堆疊式非揮發記憶體1。

在此必須注意的是，雖然上述之實施例係以一單一之記憶體晶胞(memory cell) 做為說明，但熟此技藝人士應可知，本發明亦可為一記憶體陣列(memory array)。圖8 為本發明另一具體實施例之多位元堆疊式非揮發記憶體陣列11 之俯視圖。在此實施例中，多位元堆疊式非揮發記憶體陣列11 包含複數個多位元堆疊式非揮發記憶體1，其中每一個多位元堆疊式非揮發記憶體1 則如同前述之實施例，包含有半導體基材2、圖案化含砷介電層4、源極/汲極區域6、介電間隙壁8、閘極介電層10、間隙壁浮動閘12、內介電層14 以及控制閘層16。多位元堆疊式非揮發記憶體陣列11 更包含複數個源極/汲極區域6、複數個含砷介電島42 與複數個控制閘層16。複數個含砷介電島42 之間定義複數個主動區域18。複數個控制閘層16 定義複數個字元線，且由複數個源極/汲極區域6 定義複數個位元線。複數

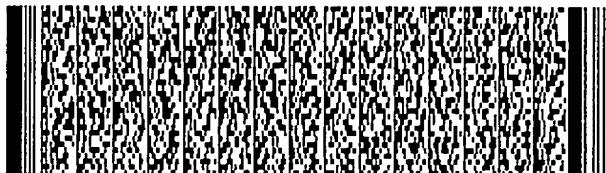


五、發明說明 (9)

個源極/汲極區域6係由熱驅動法使複數個含砷介電島42中之砷原子擴散至半導體基材2中而形成。

依照本發明具體實施例的多位元堆疊式非揮發記憶體陣列11之製造方法及其特性則與前述之實施例相同，在此則不再贅述。

上述之實施例係用以描述本發明，然本發明方法及結構仍可有未脫離本發明本質之修改與變化。因此，本發明並不限於以上特定實施例的描述，本發明的申請專利範圍係欲包含所有此類修改與變化，以能真正符合本發明之精神與範圍。



圖式簡單說明

圖1A 顯示一依照本發明具體實施例之多位元堆疊式非揮發記憶體之俯視圖；

圖1B 為沿圖1A線3-3之橫截面圖；

圖2A 為第一次微影製程時之橫截面圖；

圖2B 為形成圖案化矽矽酸玻璃層時之橫截面圖；

圖3A 為形成共形介電層時之橫截面圖；

圖3B 為形成介電間隙壁時之橫截面圖；

圖4 為形成閘極介電層及源極／汲極區域時之橫截面圖；

圖5A 為形成共形多晶矽層時之橫截面圖；

圖5B 為形成間隙壁浮動閘時之橫截面圖；

圖6A 為形成覆蓋間隙壁浮動閘之氧化層時之橫截面圖；

圖6B 為形成內介電層時之橫截面圖；

圖7 為第二次微影製程時之橫截面圖；以及

圖8 顯示一依照本發明具體實施例之多位元堆疊式非揮發記憶體陣列之俯視圖。

圖示元件符號說明

1 多位元堆疊式非揮發記憶體

2 半導體基材

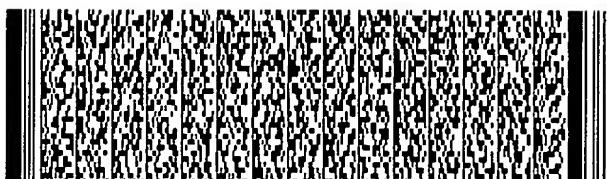
4 圖案化矽介電層

6 源極／汲極區域

8 介電間隙壁

10 閘極介電層

11 多位元堆疊式非揮發記憶體陣列



圖式簡單說明

12	間隙壁浮動閘	14	內介電層
16	控制閘層	18	主動區域
21	含砷介電層	22	圖案化光阻
24	第一開口		
26	圖案化含砷介電層之側壁		
28	曝露之矽基材表面	32	共形介電層
42	含砷介電島	52	共形多晶矽層
62	氧化層	64	多晶矽層
66	圖案化光阻層		



六、申請專利範圍

1. 一種形成堆疊式非揮發記憶體之方法，包含：

提供一半導體基材(semiconductor substrate)；

形成一圖案化含砷介電層(patterned dielectric layer containing arsenic)於該半導體基材上，其中該圖案化含砷介電層定義一第一開口，且該第一開口曝露出該半導體基材之一部份及該圖案化含砷介電層之一側壁；

形成一介電間隙壁(dielectric spacer)於該圖案化含砷介電層之側壁；

形成一源極/汲極區域(source/drain region)於該半導體基材；

形成一閘極介電層(gate dielectric layer)於該曝露之半導體基材上；

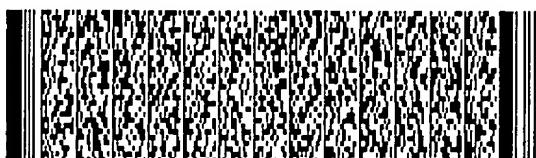
形成一間隙壁浮動閘(spacer-shaped floating gate)於該介電間隙壁之一側壁，且該間隙壁浮動閘位於該閘極介電層之上；

形成一內介電層(interlayer dielectric layer)覆蓋該間隙壁浮動閘；以及

形成一控制閘層(control gate)覆蓋該第一開口。

2. 如申請專利範圍第1項所述之方法，其中該半導體基材為一矽基材(silicon substrate)。

3. 如申請專利範圍第1項所述之方法，其中形成該圖案化含砷介電層之步驟更包含：



六、申請專利範圍

形成一含砷介電層於該半導體基材上；

形成一圖案化光阻層(patterned photoresist layer)於該含砷介電層上，其中該圖案化光阻層定義該第一開口；

以該圖案化光阻層為罩幕，蝕刻該含砷介電層，以形成該圖案化含砷介電層，且曝露出該半導體基材之該部份及該圖案化含砷介電層之側壁；以及

去除該圖案化光阻層。

4. 如申請專利範圍第3項所述之方法，其中該含砷介電層為一砷矽酸玻璃(Arsenosilicate Glass, ASG)層。

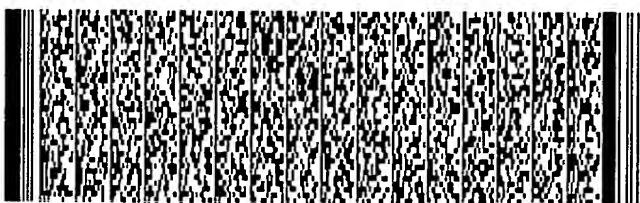
5. 如申請專利範圍第1項所述之方法，其中形成該介電間隙壁之步驟更包含：

形成一共形介電層(conformal dielectric layer)覆蓋該半導體基材；以及

非等向性蝕刻該共形介電層，以形成該介電間隙壁於該圖案化含砷介電層之側壁。

6. 如申請專利範圍第5項所述之方法，其中該共形介電層為一氮化矽層(silicon nitride layer)。

7. 如申請專利範圍第1項所述之方法，其中形成該源極/汲極區域之步驟包含使用熱驅動(thermal drive)法使該



六、申請專利範圍

圖案化含砷介電層內之砷原子擴散至該半導體基材內。

8. 如申請專利範圍第1項所述之方法，其中形成該閘極介電層之步驟係使用熱氧化(thermal oxidation)法所形成。

9. 如申請專利範圍第1項所述之方法，其中形成該間隙壁浮動閘之步驟更包含：

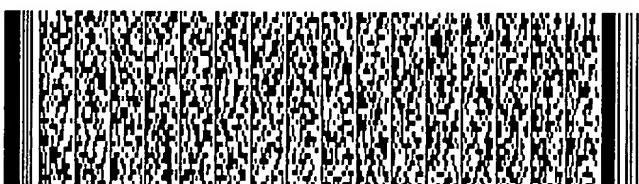
形成一
共形多晶矽層(polysilicon layer) 覆蓋該半導體基材；以及

非等向性蝕刻(anisotropically etching)該共形多晶矽層，以形成該間隙壁浮動閘於該介電間隙壁，且該間隙壁浮動閘位於該閘極介電層上。

10. 如申請專利範圍第1項所述之方法，其中形成該內介電層之步驟係使用熱氧化法，以氧化該間隙壁浮動閘所形成。

11. 如申請專利範圍第1項所述之方法，其中形成該內介電層之步驟係使用化學氣相沈積(chemical vapor deposition)法，沉積該內介電層。

12. 如申請專利範圍第1項所述之方法，其中形成該控制閘層之步驟更包含：



六、申請專利範圍

形成一多晶矽層覆蓋該半導體基材且填塞該第一開口；

形成一圖案化光阻層於該多晶矽層上，其中該圖案化光阻層定義該控制閘層；

以該圖案化光阻層為罩幕，蝕刻該多晶矽層，以形成該控制閘層；以及

去除該圖案化光阻層。

13. 一種形成多位元堆疊式非揮發記憶體陣列之方法，包含：

提供一矽基材；

形成一圖案化砷矽酸玻璃層於該矽基材上，其中該圖案化砷矽酸玻璃層定義一第一開口，且該第一開口曝露出該矽基材之一部份及該圖案化砷矽酸玻璃層之複數個側壁；

形成複數個氮化矽間隙壁於該圖案化砷矽酸玻璃層之複數個側壁；

形成源極/汲極區域於該矽基材；

形成一閘極介電層於該曝露之矽基材上；

形成複數個間隙壁浮動閘於該複數個氮化矽間隙壁之側壁，且該間隙壁浮動閘位於該閘極介電層上；

形成一內介電層覆蓋該複數個間隙壁浮動閘；以及

形成一控制閘層覆蓋該第一開口。



六、申請專利範圍

14. 如申請專利範圍第13項所述之方法，其中形成該圖案化砷矽酸玻璃層之步驟更包含：

形成一砷矽酸玻璃層於該矽基材上；

形成一圖案化光阻層於該砷矽酸玻璃層上，其中該圖案化光阻層定義該第一開口；

以該圖案化光阻層為罩幕，蝕刻該砷矽酸玻璃層，以形成該圖案化砷矽酸玻璃層，且曝露出該矽基材之該部份及該圖案化砷矽酸玻璃層之側壁；以及

去除該圖案化光阻層。

15. 如申請專利範圍第13項所述之方法，其中形成該圖案化砷矽酸玻璃層之步驟更包含：形成複數個含砷介電島於該矽基材上，且該些含砷介電島之其中兩個定義該第一開口。

16. 如申請專利範圍第15項所述之方法，其中形成該源極/汲極區域之步驟更包含使用熱驅動法使該圖案化砷矽酸玻璃層內之砷原子擴散至該矽基材內，以形成一位元線。

17. 如申請專利範圍第13項所述之方法，其中形成該複數個氮化矽間隙壁之步驟更包含：

形成一具形氮化矽層覆蓋該矽基材；以及

非等向性蝕刻該具形氮化矽層，以形成該複數個氮化



六、申請專利範圍

矽間隙壁於該圖案化矽矽酸玻璃層之複數個側壁。

18. 如申請專利範圍第13項所述之方法，其中形成該源極/汲極區域之步驟包含使用熱驅動法使該圖案化矽矽酸玻璃層內之矽原子擴散至該矽基材內。

19. 如申請專利範圍第13項所述之方法，其中形成該閘極介電層之步驟係使用熱氧化法，氧化該暴露之矽基材，以形成一閘極介電層。

20. 如申請專利範圍第13項所述之方法，其中形成該複數個間隙壁浮動閘之步驟更包含：

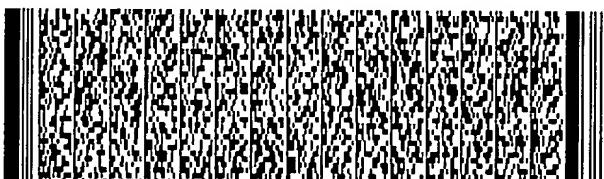
形成一具形多晶矽層覆蓋該矽基材；以及

非等向性蝕刻該具形多晶矽層，以形成該複數個間隙壁浮動閘於該複數個氮化矽間隙壁及該閘極介電層之上。

21. 如申請專利範圍第13項所述之方法，其中形成該內介電層之步驟係使用熱氧化法，氧化該複數個間隙壁浮動閘。

22. 如申請專利範圍第13項所述之方法，其中形成該內介電層之步驟係使用化學氣相沈積法，沉積該內介電層。

23. 如申請專利範圍第13項所述之方法，其中形成該內介



六、申請專利範圍

電層之步驟包含：

氧化該複數個間隙壁浮動閘，以形成一氧化層；以及化學氣相沈積一介電層於該氧化層上。

24. 如申請專利範圍第13項所述之方法，其中形成該控制閘層之步驟更包含：

形成一多晶矽層覆蓋該矽基材；

形成一圖案化光阻層於該多晶矽層上，其中該圖案化光阻層定義該控制閘層；

以該圖案化光阻層為罩幕，蝕刻該多晶矽層，以形成複數個字元線；以及

去除該圖案化光阻層。

25. 一種多位元堆疊式非揮發記憶體之結構，包含：

一半導體基材；

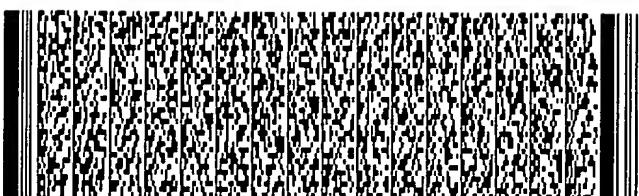
兩個含砷介電島之間定義一主動區域於該半導體基材上，其中每個含砷介電島皆包含一側壁；

兩個源極／汲極區域個別位於該兩個含砷介電島下之該半導體基材；

兩個介電間隙壁，個別位於該兩個含砷介電島之側壁；

一閘極介電層，位於主動區域之半導體基材上；

兩個間隙壁浮動閘，個別位於該兩個介電間隙壁之側壁及該閘極介電層之上；



六、申請專利範圍

一 內介電層，係覆蓋該兩個間隙壁浮動閘；以及
一控制閘層，係填塞該主動區域。

26. 如申請專利範圍第25項所述之結構，其中該半導體基材係為一矽基材。

27. 如申請專利範圍第25項所述之結構，其中該含砷介電島係為砷矽酸玻璃。

28. 如申請專利範圍第25項所述之結構，其中該介電間隙壁係為氮化矽。

29. 如申請專利範圍第25項所述之結構，其中該閘極介電層係為二氧化矽。

30. 如申請專利範圍第25項所述之結構，其中該間隙壁浮動閘係為多晶矽。

31. 如申請專利範圍第25項所述之結構，其中該內介電層係為二氧化矽。

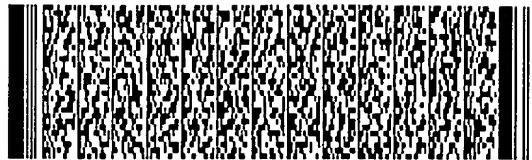
32. 如申請專利範圍第25項所述之結構，其中該控制閘層係為多晶矽。



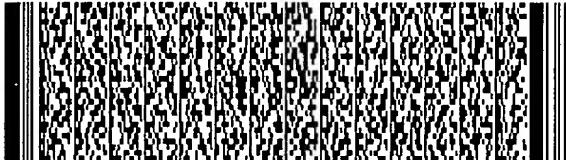
第 1/24 頁



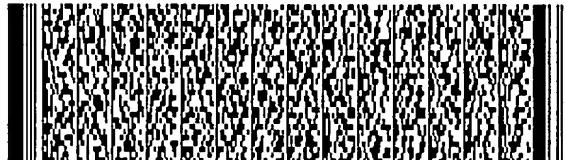
第 1/24 頁



第 2/24 頁



第 2/24 頁



第 3/24 頁



第 4/24 頁



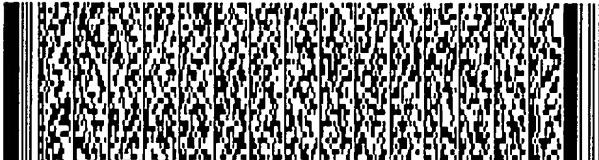
第 5/24 頁



第 6/24 頁



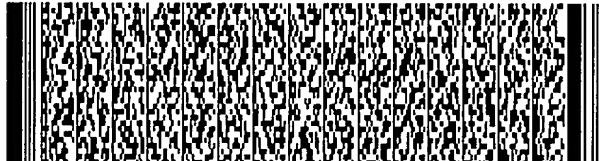
第 6/24 頁



第 7/24 頁



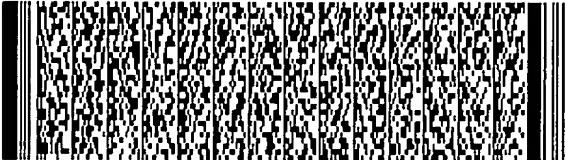
第 7/24 頁



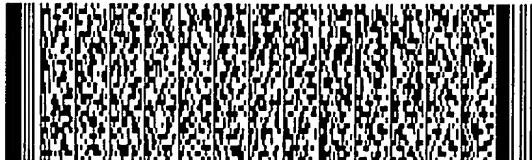
第 8/24 頁



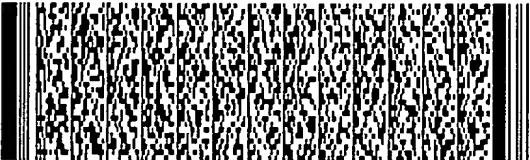
第 8/24 頁



第 9/24 頁



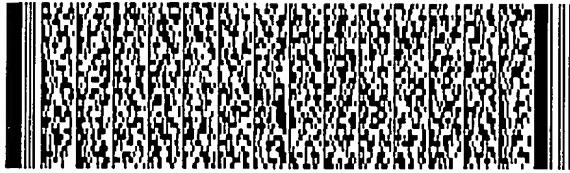
第 9/24 頁



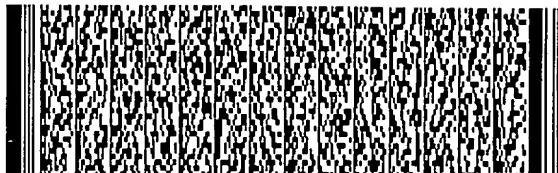
第 10/24 頁



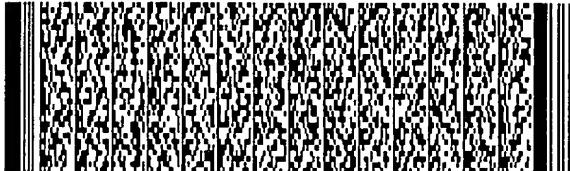
第 10/24 頁



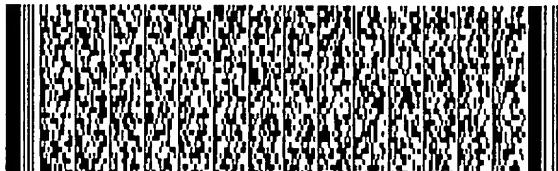
第 11/24 頁



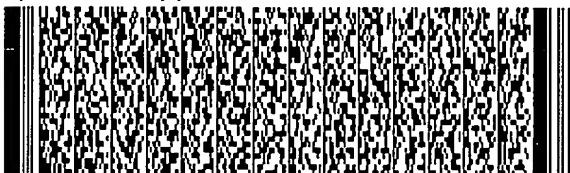
第 11/24 頁



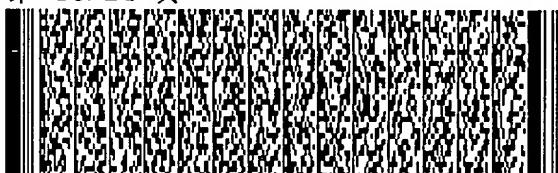
第 12/24 頁



第 12/24 頁



第 13/24 頁



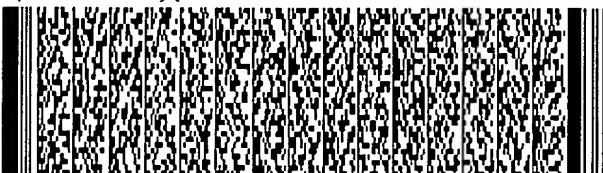
第 13/24 頁



第 14/24 頁



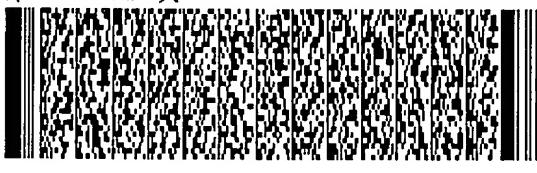
第 15/24 頁



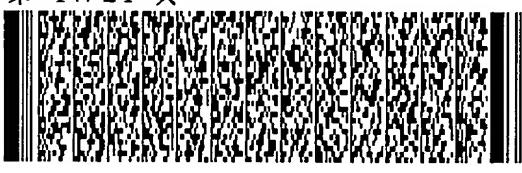
第 16/24 頁



第 17/24 頁



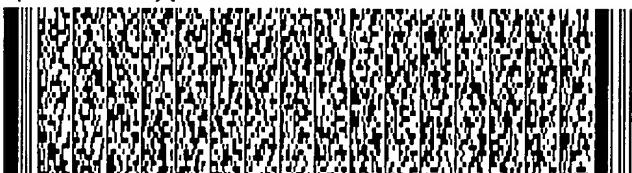
第 17/24 頁



第 18/24 頁



第 19/24 頁



第 20/24 頁

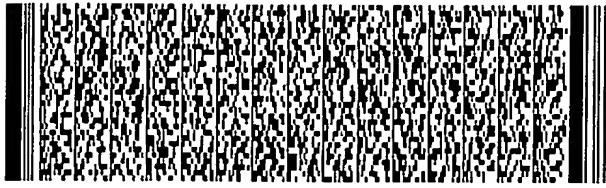


第 21/24 頁

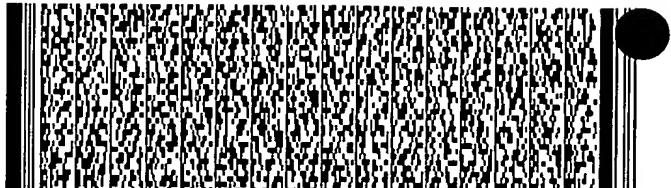


申請案件名稱:多位元堆疊式非揮發記憶體及其製造方法

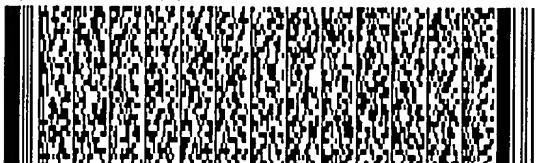
第 22/24 頁



第 23/24 頁



第 24/24 頁



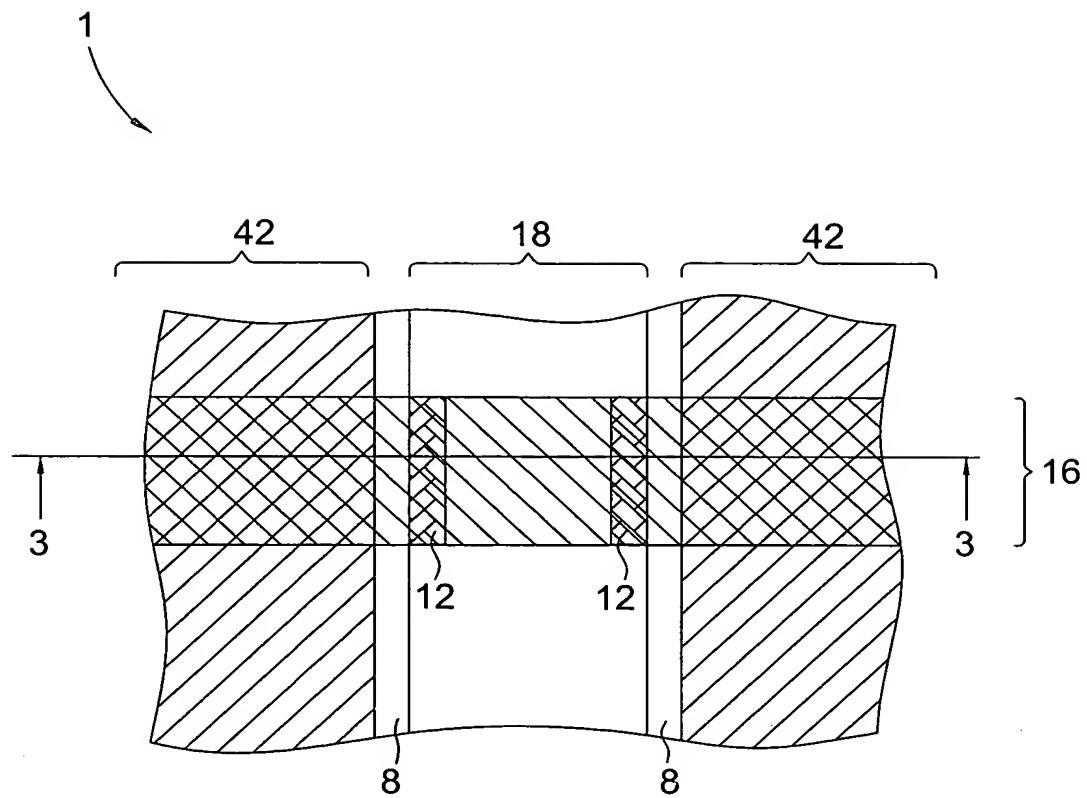


圖 1A

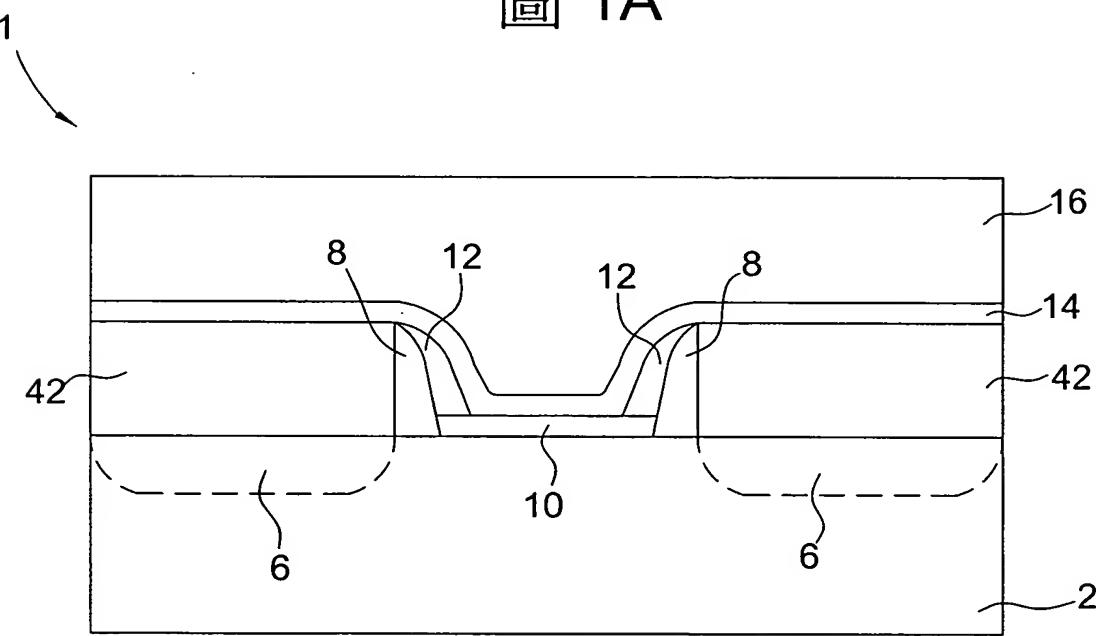


圖 1B

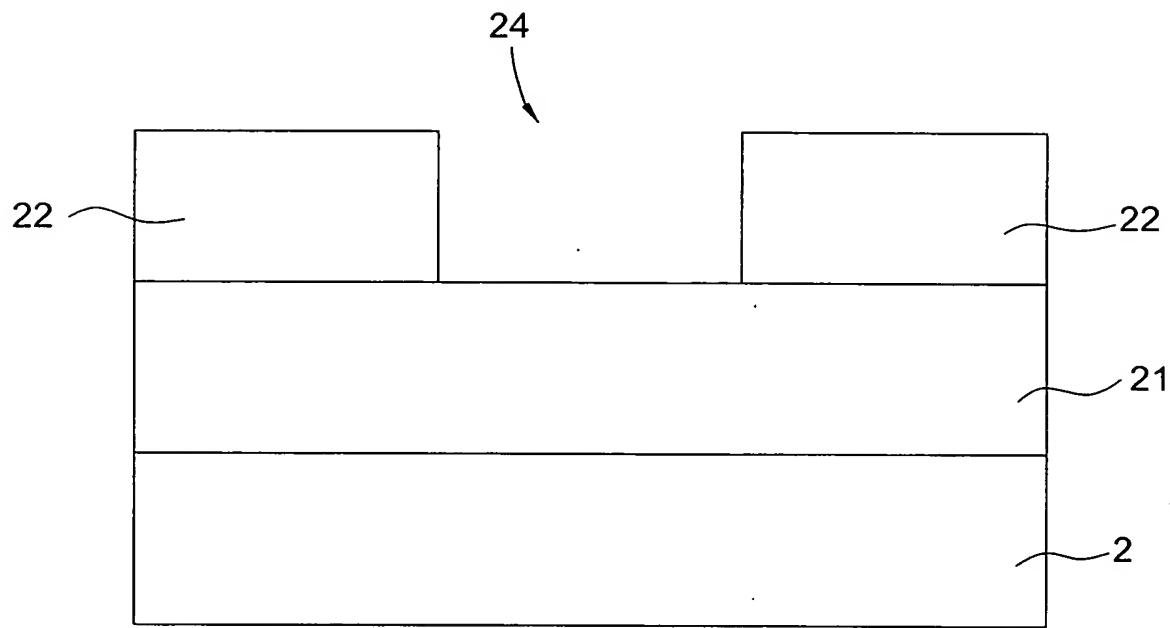


圖 2A

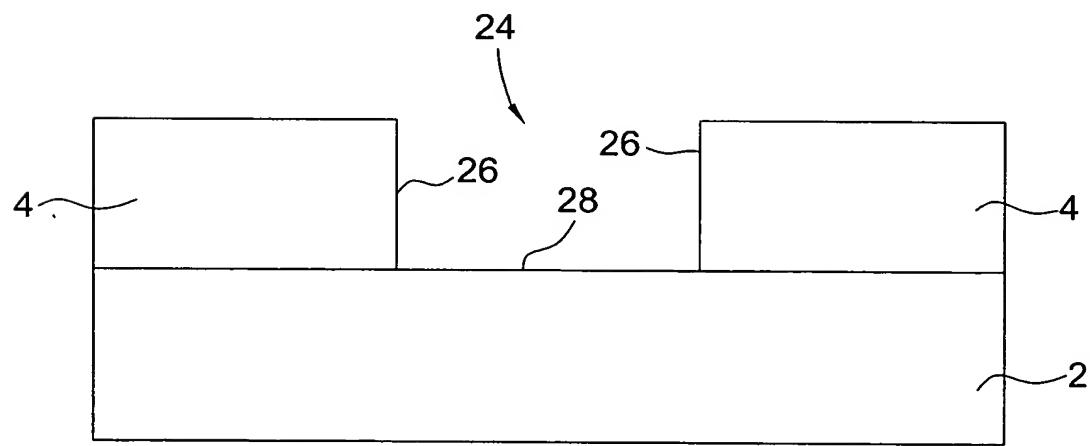


圖 2B

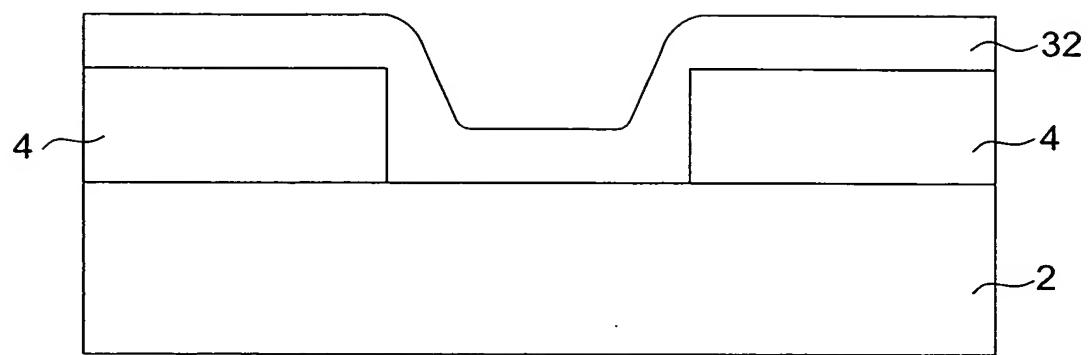


圖 3A

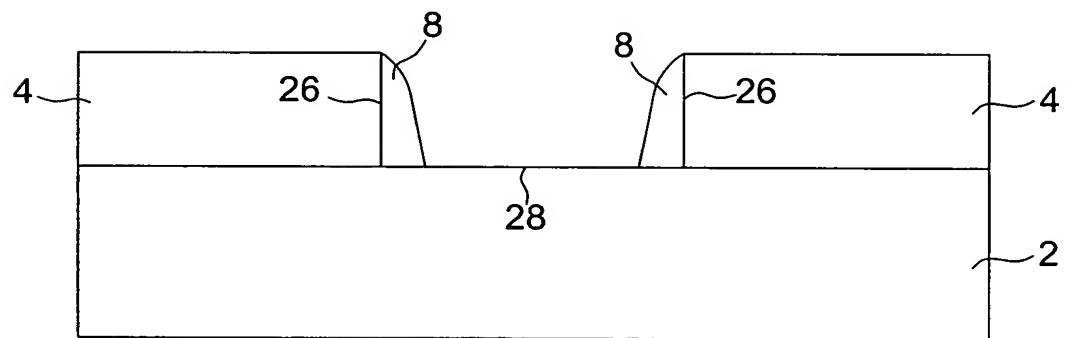


圖 3B

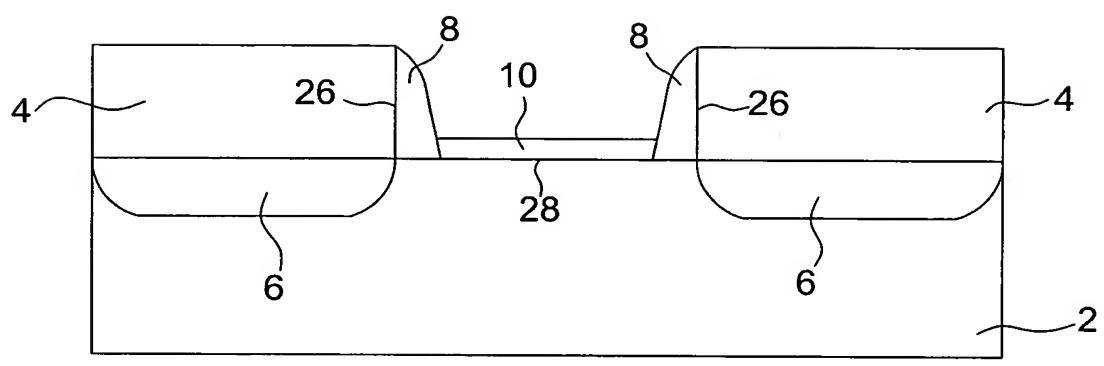


圖 4

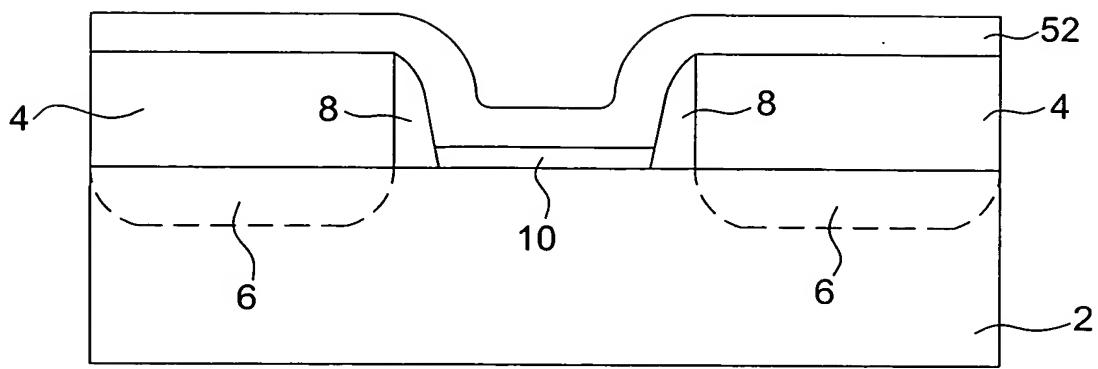


圖 5A

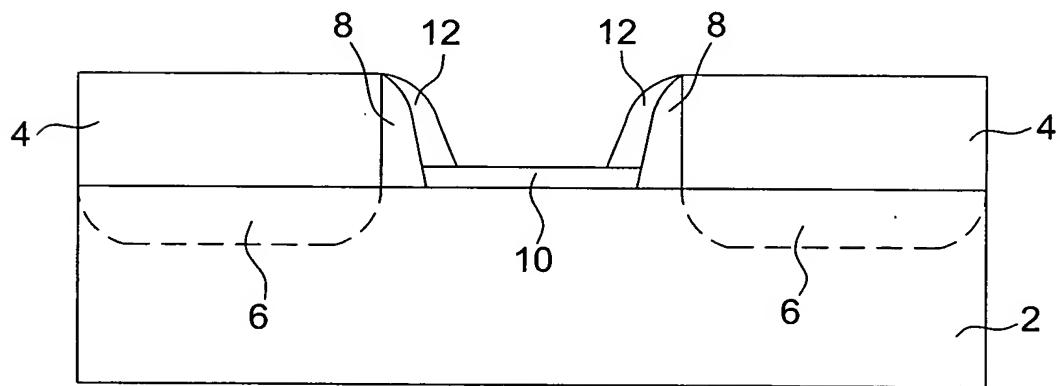


圖 5B

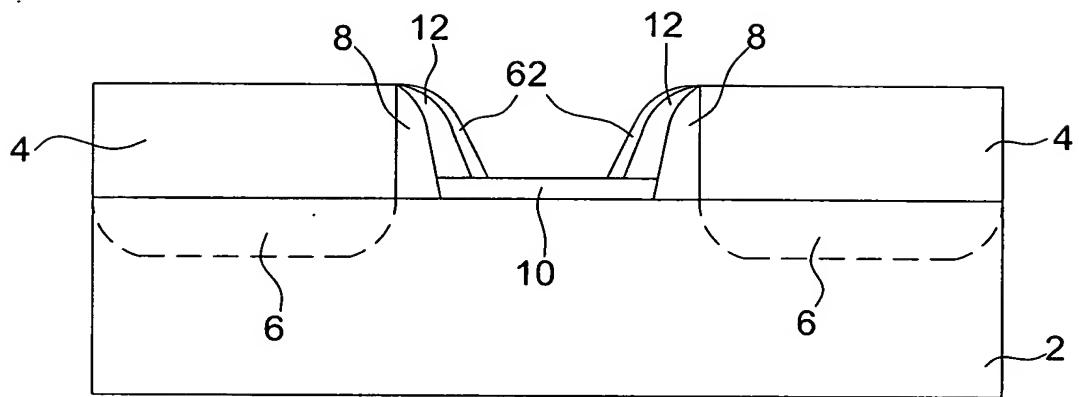


圖 6A

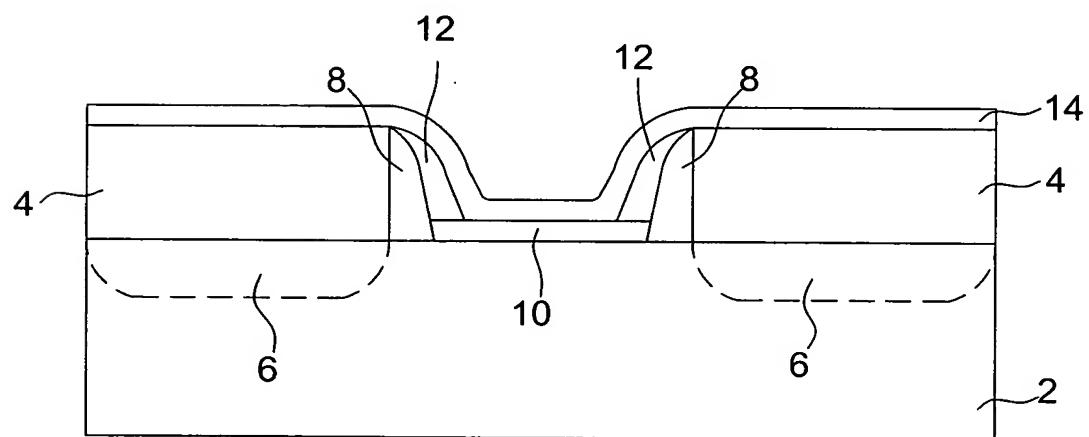


圖 6B

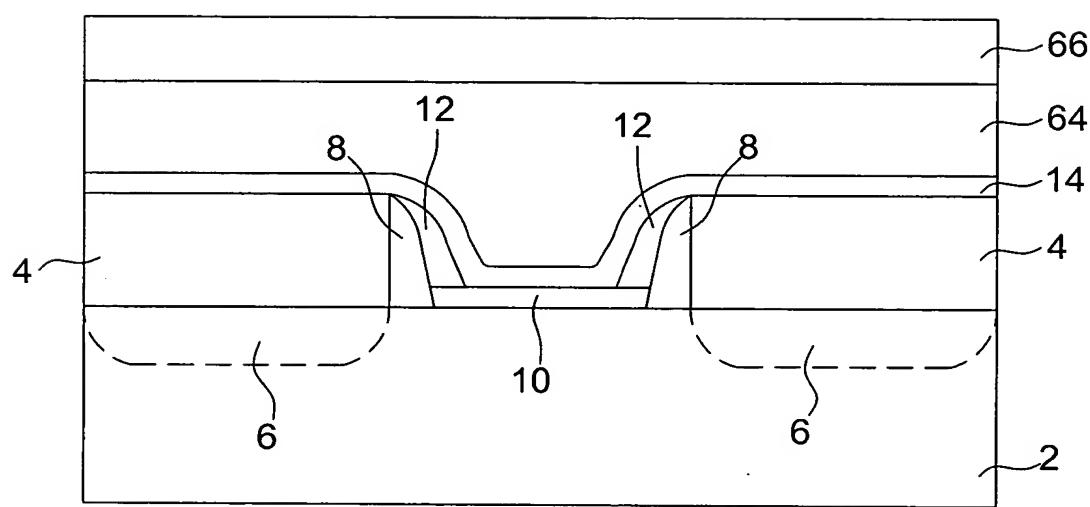


圖 7

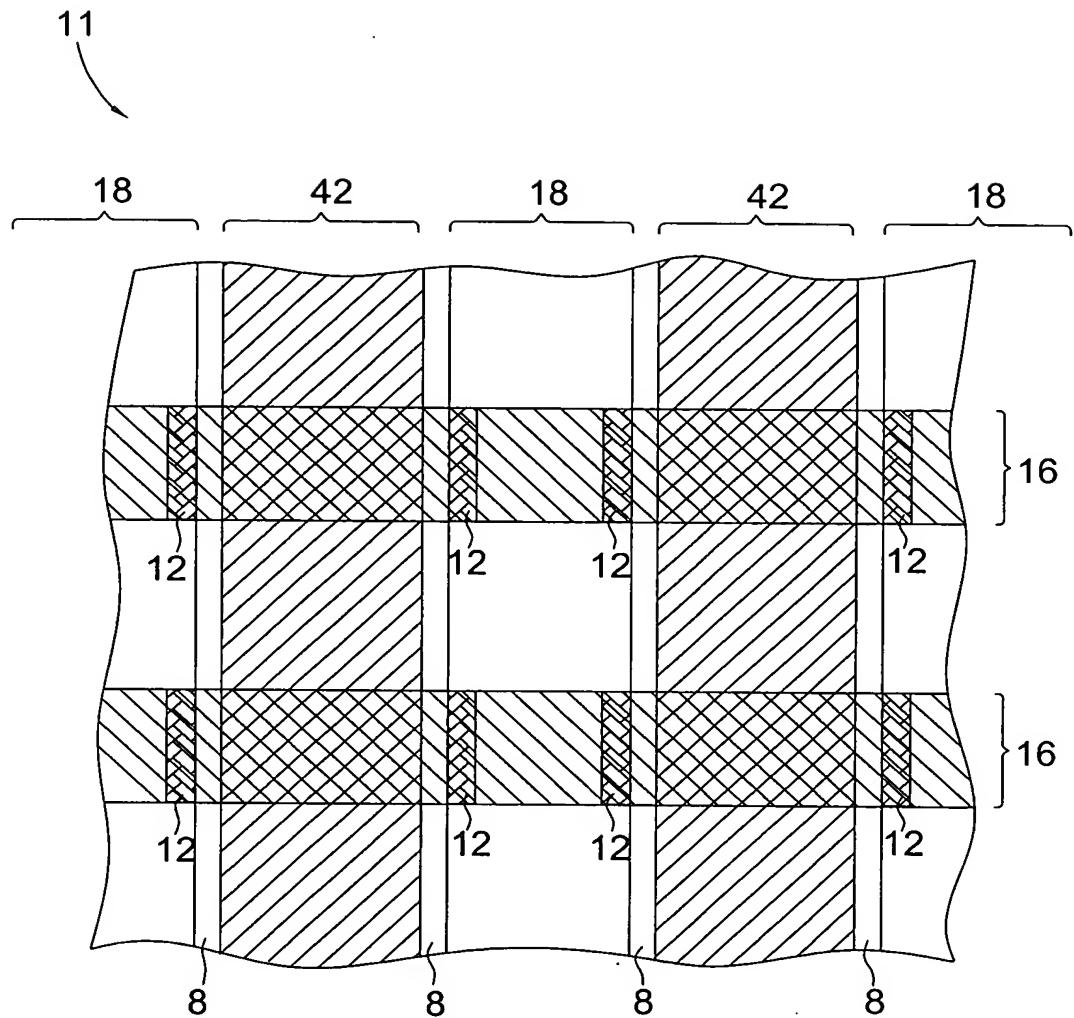


圖 8